

519,201

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



17 DEC 2004



(43) Internationales Veröffentlichungsdatum
24. Dezember 2003 (24.12.2003)

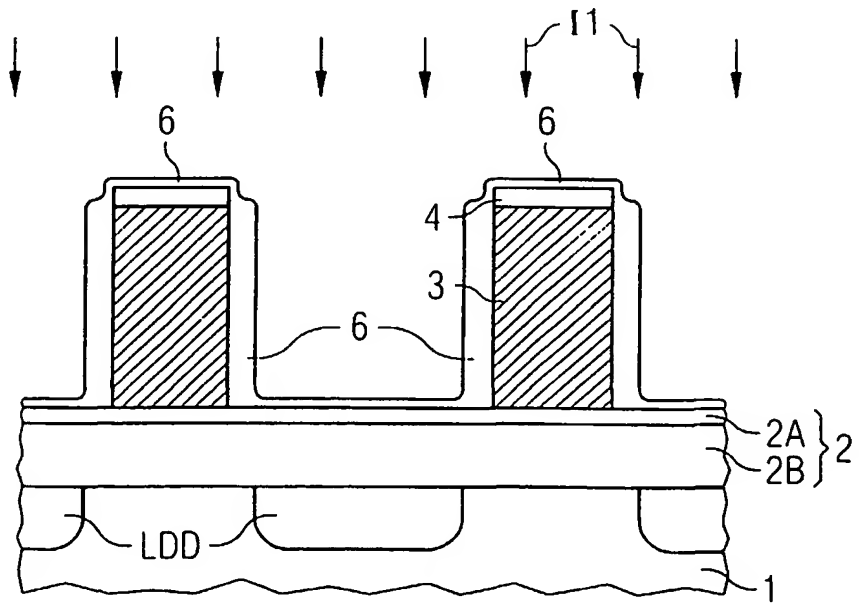
PCT

(10) Internationale Veröffentlichungsnummer
WO 03/107405 A1

- | | |
|--|--|
| <p>(51) Internationale Patentklassifikation⁷:
H01L 21/28, 29/51</p> <p>(21) Internationales Aktenzeichen:
PCT/DE03/01551</p> <p>(22) Internationales Anmeldedatum:
14. Mai 2003 (14.05.2003)</p> <p>(25) Einreichungssprache:
Deutsch</p> <p>(26) Veröffentlichungssprache:
Deutsch</p> <p>(30) Angaben zur Priorität:
102 26 914.9 17. Juni 2002 (17.06.2002) DE</p> | <p>(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): TEWS, Helmut [DE/DE]; Frankenwaldstr. 36, 81549 München (DE).</p> <p>(74) Anwalt: KINDERMANN, Peter; Postfach 1330, 85627 Grasbrunn (DE).</p> <p>(81) Bestimmungsstaaten (national): CN, JP, KR, SG, US.</p> <p>(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).</p> |
|--|--|
- Veröffentlicht:**
— mit internationalem Recherchenbericht
- Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).

(54) Title: METHOD FOR PRODUCING A SPACER STRUCTURE

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER SPACERSTRUKTUR



(57) Abstract: The invention relates to a method for producing a spacer structure. According to the inventive method, a gate insulation layer (2) comprising a gate deposition inhibition layer (2A), a gate layer (3) and a covering deposition inhibition layer (4) are formed on a semiconductor substrate (1), and the gate layer (3) and the covering deposition inhibition layer (4) are structured in such a way as to form stacks of gates (G). According to the invention, an insulation layer (6) is selectively deposited using the deposition inhibition layers (2A, 4) in order to form a spacer structure in a highly precise manner.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer Spacerstruktur mit den Schritten: Ausbilden einer Gate-Isolationsschicht (2) mit einer

Gate-Abscheidehemmschicht (2A), einer Gateschicht (3) und einer Abdeck-Abscheidehemmschicht (4) auf einem Halbleitersubstrat (1), und Strukturieren der Gateschicht (3) und der Abdeck-Abscheidehemmschicht (4) zum Ausbilden von Gatestapeln (G), wobei unter Verwendung der Abscheidehemmschichten (2A, 4) zum hochpräzisen Ausbilden einer Spacerstruktur eine Isolationsschicht (6) selektiv abgeschieden wird.

WO 03/107405 A1

Beschreibung

Verfahren zur Herstellung einer Spacerstruktur

- 5 Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung einer Spacerstruktur und insbesondere auf ein Verfahren zur Herstellung einer Spacerstruktur für Feldefekttransistoren in einem Sub-100 Nanometer-Bereich.
- 10 Bei der Realisierung von Feldeffekttransistoren, wie sie beispielsweise in MOS-Transistoren aber auch in nichtflüchtigen Speichertransistoren Verwendung finden, werden insbesondere für eine ausreichende Isolierung von sogenannten Gatestapeln und zur selbstjustierenden Ausbildung von Source-/Draingebieten sogenannte Spacerstrukturen bzw. Seitenwandisolationen
- 15 verwendet.

- Figuren 1A und 1B zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte zur Herstellung einer Spacerstruktur gemäß dem Stand der Technik.
- 20 Gemäß Figur 1A werden hierbei auf einem Trägersubstrat 100, welches üblicherweise aus einem Halbleitermaterial besteht, Gatestapel G mit einer Gate-Isolationsschicht 200 und einer darüber liegenden Steuer- bzw. Gateschicht 300 ausgebildet.
- 25 Anschließend wird eine Isolationsschicht 400 mit im Wesentlichen konstanter Dicke, d.h. konform an der Oberfläche des Trägersubstrats 100 und der Gatestapel G abgeschieden.

- Gemäß Figur 1B wird in einem nachfolgenden Herstellungsschritt ein anisotropes Ätzverfahren durchgeführt, wie z.B.
- 30 reaktives Ionenätzen (RIE), wodurch man die endgültige Spacerstruktur S400 erhält, welche eine ausreichende Isolierung bzw. einen ausreichenden Schutz der Gatestapel G und darüber hinaus ein selbstjustierendes Ausbilden der Source-/Draingebiete S und D im Trägersubstrat 100 beispielsweise
- 35 mittels (nicht dargestellter) Ionenimplantation ermöglicht.

Nachteilig ist jedoch bei einem derartigen herkömmlichen Verfahren zur Herstellung von Spacerstrukturen eine nur unzureichende Kontrolle der Abmessungen der jeweiligen Spacer S400. Genauer gesagt ergeben sich durch die konforme Abscheidung auf den Gatestapeln G bereits beträchtliche Dickenschwankungen für unterschiedliche Spacer S400, wobei ferner der Einsatz des reaktiven Ionenätzens (RIE) die Gefahr der Beschädigung einer Gate-Isolationsschicht bzw. eines Gateoxids beinhaltet. Darüber hinaus gibt es zum Teil beträchtliche Ätzrätenschwankungen, welche abhängig von einer jeweiligen Lage auf dem Wafer und von der räumlichen Dichte der Gates sind. Hierdurch ergeben sich wiederum unterschiedlich dicke Spacerstrukturen.

Insbesondere bei der Herstellung von Feldeffekttransistoren in einem Sub-100 Nanometer-Bereich, wie sie in naher Zukunft standardmäßig durchgeführt wird, sind jedoch derartige Schwankungen in den verwendeten Spacerstrukturen nicht tolerierbar. Dies liegt einerseits daran, dass der minimale Abstand zwischen benachbarten Gatestapeln G in gleicher Weise verringert wird, was in erheblichen Problemen bei der Abscheidung von Isolationsschichten und dem Freiätzen des Trägersubstrats resultiert. Da diese Spacerstrukturen somit als selbstjustierende Masken für die Ausdehnungen von implantierten Source-/Draingebieten wirken, können derartige herkömmliche Herstellungsverfahren zur Realisierung von Spacern insbesondere bei Strukturbreiten in der Größenordnung von 30 Nanometern nicht mehr verwendet werden. Diesbezüglich sind insbesondere die Schwierigkeiten bei der Lithographie, dem Ätzen des Gatestapels sowie dem Ätzen der eigentlichen Spacer zu nennen.

Der Erfindung liegt daher die Aufgabe zu Grunde ein Verfahren zur Herstellung einer Spacerstruktur zu schaffen, welches eine erhöhte Genauigkeit aufweist.

Erfindungsgemäß wird diese Aufgabe durch die Maßnahmen des Patentanspruchs 1 gelöst.

Insbesondere durch das Ausbilden einer Gate-Isolationsschicht, einer Gateschicht und einer Abdeck-Abscheidehemmschicht auf einem Halbleitersubstrat, wobei die Gate-Isolationsschicht eine Gate-Abscheidehemmschicht aufweist, durch das nachfolgende Strukturieren der Gateschicht und der Abdeck-Abscheidehemmschicht zum Ausbilden von Gatestapeln und das abschließende Abscheiden einer Isolationsschicht selektiv zu den Abscheidehemmschichten in der Gate-Isolationsschicht und auf der Gateschicht können erstmalig Spacerstrukturen auch in einem Sub-100 Nanometer-Bereich leicht kontrollierbar und hoch genau ausgebildet werden. Durch den Wegfall des üblicherweise verwendeten reaktiven Ionenätzverfahrens besteht darüber hinaus keine Gefahr der Beschädigung der empfindlichen Gate-Isolationsschichten.

Vorzugsweise wird in einem weiteren Schritt eine Implantation zum Ausbilden von schwach dotierten Dotiergebieten im Halbleitersubstrat durchgeführt, wodurch man eine Kanallänge sehr präzise und selbstjustierend unter Verwendung der Spacerstruktur einstellen kann.

Vorzugsweise kann in einem weiteren Schritt eine weitere Isolationsschicht selektiv zu den Abscheidehemmschichten zum Ausbilden einer erweiterten Spacerstruktur und eine weitere Implantation zum Ausbilden von Source-/Draingebieten im Halbleitersubstrat durchgeführt werden, wodurch man eine Spacerstruktur mit verbesserten Isolationseigenschaften erhält, die geeignet ist, die Anschlussgebiete eines jeweiligen Feldeffekttransistors selbstjustierend auszubilden.

Vorzugsweise bestehen die Abscheidehemmschichten aus einer Nitridschicht und/oder einer Oxinitridschicht mit einem hohen Stickstoffgehalt, wobei beim selektiven Ausbilden der Isolationsschicht eine Ozon-unterstützte TEOS-Abscheidung durchge-

führt wird. In diesem Fall erhält man nicht nur ein besonders hochwertiges Gatedielektrikum, sondern darüber hinaus eine besonders hohe Selektivität bei der Abscheidung unter Verwendung von Standard-Materialien.

5

Optional können die bei der selektiven Abscheidung entstehenden dünnen Restschichten auf den Abscheidehemmschichten durch Nassätzen entfernt werden, wodurch auf besonders einfache Weise Kontaktöffnungen für die Source-/Draingebiete und die

10 Gateschicht ausgebildet werden können.

Zur weiteren Verbesserung der elektrischen Eigenschaften der Spacerstruktur können die selektiv abgeschiedenen Isolations- schichten thermisch ausgeheilt und damit verdichtet werden.

15

Vorzugsweise werden in einem weiteren Schritt die Abscheide- hemmschichten zum Freilegen der Gateschicht und der Source- /Draingebiete im Halbleitersubstrat entfernt, ein silizierfä- higes Material ganzflächig abgeschieden und anschließend eine

20

Umwandlung einer Oberflächenschicht des freigelegten Halblei- tersubstrats und der Gateschicht unter Verwendung des sili- zierfähigen Materials zum Ausbilden von hochleitfähigen An- schlussbereichen ausgebildet.

In den weiteren Unteransprüchen sind weitere vorteilhafte

25 Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachfolgend anhand eines Ausführungsbei- spiels unter Bezugnahme auf die Zeichnung näher beschrieben.

30 Es zeigen:

Figuren 1A und 1B vereinfachte Schnittansichten zur Veran- schaulichung wesentlicher Herstellungsschritte bei der Her- stellung einer Spacerstruktur gemäß dem Stand der Technik;

35

und

Figuren 2A bis 2F vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung einer erfindungsgemäßen Spacerstruktur.

5 Figuren 2A bis 2F zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung einer Spacerstruktur gemäß der vorliegenden Erfindung, wobei beispielsweise auf einen Standardprozess zur Herstellung von CMOS-Transistoren verwiesen wird.

10

Demzufolge können zunächst (nicht dargestellte) aktive Gebiete beispielsweise mittels eines STI-Verfahrens (Shallow Trench Isolation) in einem Trägersubstrat 1, welches vorzugsweise aus einem Siliziumhalbleitersubstrat besteht, ausgebildet werden. Anschließend wird zur Realisierung einer Gate-Isolationsschicht 2 mit zumindest einer Gate-Abscheidehemmschicht 2A eine Nitridschicht wie z.B. Si_3N_4 und/oder Oxinitridschicht mit einem hohen Stickstoffgehalt (SiON) beispielsweise durch ein Abscheideverfahren auf dem Trägersubstrat 1 ausgebildet. Alternativ kann gemäß Figur 2A diese Gate-Isolationsschicht 2 auch aus einer Mehrfachschiicht bestehend aus der vorstehend beschriebenen Gate-Abscheidehemmschicht 2A (Nitridschicht und/oder Oxinitridschicht mit hohem Stickstoffgehalt) und einer Oxidschicht 2B wie z.B. SiO_2 bestehen. Insbesondere im Bereich von nichtflüchtigen Halbleiterspeicherelementen können auf diese Weise verbesserte Ladungshalteeigenschaften realisiert werden.

Anschließend wird gemäß Figur 2A eine Steuer- bzw. Gateschicht 3 ausgebildet, wobei vorzugsweise ca. 100 bis 150 Nanometer dickes Halbleitermaterial (Polysilizium oder Poly-SiGe) abgeschieden wird.

35 An der Oberfläche der Gateschicht 3 wird ferner eine Abdeck-Abscheidehemmschicht 4 ausgebildet, die in gleicher Weise wie die Gate-Abscheidehemmschicht 2A eine Nitridschicht und/oder Oxinitridschicht mit einem hohen Stickstoffgehalt aufweist.

Vorzugsweise wird mittels eines LPCVD-Verfahrens (Low Pressure Chemical Vapor Deposition) eine ca. 5 bis 10 Nanometer dicke Siliziumnitridschicht 4 an der Oberfläche der Gateschicht 3 abgeschieden. Zur Strukturierung der aus den Schichten 3 und 4 bestehenden Schichtenfolge kann beispielsweise eine Hartmaskenschicht 5 an der Oberfläche der Abdeck-Abscheidehemmschicht 4 ausgebildet werden, wobei beispielsweise eine ca. 50 Nanometer dicke TEOS-Schicht als Oxid-Hartmaske abgeschieden wird.

Die eigentliche Strukturierung erfolgt anschließend unter Verwendung von herkömmlichen und daher nicht dargestellten beispielweise fotolithographischen Prozessen, wobei ein Resistmaterial aufgebracht, belichtet und strukturiert wird und anschließend unter Verwendung des strukturierten Resists zunächst die Hartmaske 5 strukturiert wird. Anschließend wird der Resist entfernt bzw. gestrippt und die eigentliche Strukturierung der Schichten 3 und 4 unter Verwendung der strukturierten Hartmaske 5 zum Ausbilden von Gatestapeln G durchgeführt, wobei die Gate-Abscheidehemmschicht 2A ferner als Ätz-Stoppschicht verwendet wird. Üblicherweise wird hierbei ein anisotropes Ätzverfahren verwendet, wobei abschließend die Hartmaske 5 entfernt wird und man eine Schnittansicht gemäß Figur 2B erhält.

Gemäß Figur 2C erfolgt nunmehr eine selektive Abscheidung einer Isolationsschicht 6 selektiv zu der Gate-Abscheidehemmschicht 2A zwischen den Gatestapeln G und der Abdeck-Abscheidehemmschicht 4 auf den Gatestapeln G. Insbesondere bei den vorzugsweise verwendeten Nitrid- und/oder Oxinitridschichten erhält man bei einer Oxidabscheidung Selektivitäten in einem Bereich von 5 bis 10, weshalb sich an den Seitenwänden der Gatestapel G ein hohes Oxidwachstum einstellt, während an der horizontalen Oberfläche der Abscheidehemmschichten 2A und 4 lediglich ein geringes Oxidwachstum zu beobachten ist. Unter Verwendung einer derartigen selektiven Oxidabscheidung können Spacerstrukturen mit einer Dicke von beispielsweise 12 bis 15

Nanometern leicht kontrollierbar und hoch genau eingestellt werden, weshalb nunmehr auch Feldeffekttransistoren im Sub-100-Nanometer-Bereich auf einfache und präzise Art und Weise realisiert werden können. Insbesondere müssen jedoch bei diesem Herstellungsverfahren keine zusätzlichen anisotropen Ätzverfahren wie z.B. reaktives Ionenätzen (RIE) verwendet werden, weshalb eine Beschädigung bzw. Zerstörung der sensiblen Gate-Isolationsschichten zuverlässig verhindert werden kann.

5
10 Gemäß Figur 2C können in einem optionalen Implantations-
schritt nachfolgend schwach dotierte Anschluss-Dotiergebiete
LDD unter Verwendung der selektiv abgeschiedenen Isolations-
schicht 6 selbstjustierend im Halbleitersubstrat 1 ausgebil-
det werden, wodurch effektive Kanallängen insbesondere bei
15 sehr kleinen Strukturen unterhalb von 100 Nanometer sehr ge-
nau eingestellt werden können.

Vorzugsweise wird für die selektive Abscheidung der Isolati-
onsschicht 6 ein Ozon-unterstütztes TEOS-Abscheideverfahren
20 verwendet, welches in einer herkömmlichen chemischen Gasab-
scheidevorrichtung realisiert werden kann und mit dem ein O-
zon-aktiviertes TEOS (Tetra-Äthyl-Ortho-Silikat) hergestellt
werden kann. Das Wachstum der Isolationsschicht 6 bzw. des
TEOS ist hierbei stark abhängig von den frei liegenden Sili-
25 ziumoberflächen. Demzufolge tritt ein bedeutend geringeres
TEOS-Wachstum an den Abscheidehemmschichten 2A und 4 auf, die
im Falle von Nitridschichten ca. ein Fünftel des Wachstums
von dem auf reinen Silizium betragen.

30 Vorzugsweise erhält man eine TEOS-Schicht mit einer sehr ho-
mogenen Siliziumoxidschicht ohne Abweichungen in der Stöchio-
metrie dadurch, dass zu Beginn einer Gasphasenabscheidung ein
Gasflussverhältnis des TEOS zum Ozon sehr hoch ist und nach-
folgend derart variiert wird, bis sich ein Gleichgewichtszu-
35 stand einstellt, in dem das Gasflussverhältnis von TEOS zum
Ozon gering ist.

Beispielsweise besitzt das Gasflussverhältnis von TEOS zum Ozon enthaltenden Gas den Wert 10, während es im Falle des stabilen bzw. stationären Zustands des Gasflussverhältnisses nach ca. einer Minute den Wert 0,4 aufweist. Hinsichtlich der
5 genauen Parameter wird auf die „N. ELBEL, Z. GABRIC et al.: A new STI process spaced on selective oxide deposition, reported at the 1998 symposium on VLSI technology, Honolulu, Hawaii“ verwiesen, die ein derartiges SELOX-Abscheideverfahren beschreibt.

10 Vorteilhafterweise wird durch dieses Verfahren auch die Dicke der Abscheidehemmschichten 2A und 4 verringert, wodurch sich zu einem späteren Zeitpunkt ein vereinfachtes Entfernen dieser Schichten ergibt. Da ein derartiges Verfahren darüber
15 hinaus bei Temperaturen zwischen 350 Grad Celsius bis 600 Grad Celsius stattfindet, können insbesondere in einem unteren Temperaturbereich die thermischen Belastungen für die auszubildenden Halbleiterschaltungen gering gehalten werden.

20 Optional kann gemäß Figur 2C ein sogenanntes „densification anneal“ oder ein zusätzlicher Oxidationsschritt zum Verdichten der selektiv abgeschiedenen Isolationsschicht 6 durchgeführt werden, wodurch sich die elektrischen Eigenschaften und insbesondere die Isolationseigenschaften dieser Schicht
25 weiter verbessern lassen.

Auf diese Weise erhält man eine Spacerstruktur, die auch in einem Sub-100 Nanometer-Bereich hoch genau einstellbar ist, wobei Dickenänderungen entlang der Seitenwände lediglich in
30 einem Bereich von 5 bis 7 % auftreten und eine hohe Unabhängigkeit von den kristallographischen Orientierungen im Substrat 1 bzw. in der Gateschicht 3 zu beobachten ist.

Zusätzlich zu der in Figur 2C dargestellten und bereits ausreichenden Spacerstruktur kann diese noch modifiziert bzw.
35 erweitert werden. Beispielsweise kann die selektiv abgeschiedene Isolationsschicht mittels eines herkömmlichen Nassätz-

verfahrens derart angeätzt werden, dass die an den Abscheidehemmschichten 2A und 4 entstandenen sehr dünnen Restschichten vollständig entfernt und somit die Gate-Abscheidehemmschicht 2A und die Abdeck-Abscheidehemmschicht 4 freigelegt werden.

5

Gemäß Figur 2D kann (können) darüber hinaus eine oder mehrere weitere Isolationsschicht(en) 7 wiederum selektiv zu den Abscheidehemmschichten 2A und 4 abgeschieden werden, wobei nunmehr eine dickere vorzugsweise ca. 30 bis 50 Nanometer dicke

10

Oxidschicht an den Seitenwänden der Gatestapel G ausgebildet wird. Das selektive Abscheideverfahren gemäß Figur 2D entspricht wiederum im Wesentlichen dem selektiven Abscheideverfahren gemäß Figur 2C, weshalb auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

15

Gemäß Figur 2D kann nach einem optionalen Entfernen der Restschichten auf der Gate-Abscheidehemmschicht 2A und der Abdeck-Abscheidehemmschicht 4 wiederum eine weitere Implantation I2 zum Ausbilden der eigentlichen Source-/Draingebiete S/D

20

im Halbleitersubstrat 1 durchgeführt werden, wodurch man verringerte Widerstände in den Source-/Draingebieten und verbesserte elektrische Eigenschaften für die aus den Isolationsschichten 6 und 7 bestehende Spacerstruktur erhält. Wiederum kann zur Verbesserung der elektrischen Eigenschaften der

25

Spacerstruktur eine thermische Ausheilung stattfinden, wodurch das abgeschiedene Oxid verdichtet und die bei der Implantation entstehenden Schäden im Substrat 1 ausgeheilt werden.

30

Gemäß Figur 2E wird in einem nachfolgenden Schritt beispielsweise eine Nassätzung durchgeführt, wodurch die Abscheidehemmschichten 2A und 4 entfernt und das Halbleitersubstrat 1 sowie die Gateschicht 3 frei gelegt werden. Vorzugsweise wird bei Verwendung der Nitridschicht und/oder Oxinitridschicht

35

als Abscheidehemmschicht 2A bzw. 4 ein Nitrid-Nassätzverfahren durchgeführt.

Gemäß Figur 2F kann optional zur weiteren Verbesserung der elektrischen Leitfähigkeiten der Gateschicht 3 und der Source-/Draingebiete S/D bzw. zur Realisierung von hochleitfähigen Anschlussbereichen zunächst silizierfähiges Material bzw. eine silizierfähige Metallschicht wie z.B. Cobalt, Nickel, oder Platin ganzflächig abgeschieden werden. Anschließend wird eine Umwandlung der kristallinen Oberflächenschicht des Halbleitersubstrats 1 bzw. polykristallinen Oberflächenschicht der Gateschicht 3 unter Verwendung des silizierfähigen Materials zum Ausbilden von hoch leitfähigen Anschlussbereichen 8 durchgeführt, wobei an den nicht mit Halbleitermaterial (Silizium) in Berührung stehenden Oberflächen dieses Materials kein Silizid ausgebildet wird, sondern das abgeschiedene Material (Metall) bestehen bleibt, weshalb wiederum mittels eines vorzugsweise nasschemischen Ätzverfahrens eine selektive Rückätzung der abgeschiedenen Schicht erfolgen kann. Auf diese Weise kann unter Verwendung von lediglich einer Ätzkammer eine Vielzahl von Strukturierungsschritten zum Ausbilden der Spacerstrukturen sowie der Anschlussbereiche durchgeführt werden, weshalb sich die Herstellungskosten weiter verringern.

Bei der Verwendung von Cobalt, Nickel oder Platin ergeben sich als hochleitfähige Anschlussbereiche 8 Cobalt-, Nickel- oder Platin-Silizidschichten, die selbstjustierend mittels der neuartig ausgebildeten Spacerstrukturen ausgebildet werden können.

Die Fertigstellung der Transistorstruktur erfolgt in üblicher Weise, weshalb auf eine detaillierte Beschreibung nachfolgend verzichtet wird.

Die Erfindung wurde vorstehend anhand eines CMOS-Transistors beschrieben, wobei sie nicht darauf beschränkt ist und in gleicher Weise sonstige Halbleiterbauelemente umfasst, die Feldeffekttransistoren mit Spacerstrukturen aufweisen, wie beispielsweise nichtflüchtige Halbleiterspeicherelemente.

Ferner ist die Erfindung nicht auf die beschriebenen Nitrid- und/oder Oxinitridschichten als Abscheidehemmschichten in Verbindung mit dem beschriebenen Selox-Verfahren beschränkt, sondern umfasst in gleicher Weise alternative Abscheidehemmschichten und zugehörige selektive Abscheideverfahren.

Patentansprüche

1. Verfahren zur Herstellung einer Spacerstruktur mit den Schritten:
- 5 a) Ausbilden einer Gate-Isolationsschicht (2) mit einer Gate-Abscheidehemmschicht (2A), einer Gateschicht (3) und einer Abdeck-Abscheidehemmschicht (4) auf einem Halbleitersubstrat (1);
- 10 b) Strukturieren der Gateschicht (3) und der Abdeck-Abscheidehemmschicht (4) zum Ausbilden von Gatestapeln (G); und
- c) Abscheiden einer Isolationsschicht (6) selektiv zu den Abscheidehemmschichten (2A, 4) zum Ausbilden der Spacerstruktur.
- 15 2. Verfahren nach Patentanspruch 1
g e k e n n z e i c h n e t d u r c h den weiteren Schritt
d) Durchführen einer Implantation (I1) zum Ausbilden von Anschluss-Dotiergebieten (LDD) im Halbleitersubstrat (1).
- 20 3. Verfahren nach einem der Patentansprüche 1 oder 2,
g e k e n n z e i c h n e t d u r c h den weiteren Schritt
e) Abscheiden einer weiteren Isolationsschicht (7) selektiv zu den Abscheidehemmschichten (2A, 4) zum Ausbilden einer erweiterten Spacerstruktur.
- 25 4. Verfahren nach Patentanspruch 3
g e k e n n z e i c h n e t d u r c h den weiteren Schritt
f) Durchführen einer weiteren Implantation (I2) zum Ausbilden von Source-/Draingebieten (S/D) im Halbleitersubstrat
- 30 (1).
5. Verfahren nach einem der Patentansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t, dass die Abscheidehemmschichten (2A, 4) Nitridschichten und/oder Oxinitridschichten einen hohen Stickstoffgehalt aufweisen und
- 35 in Schritt c) und/oder Schritt e) eine Ozon-unterstützte TEOS-Abscheidung durchgeführt wird.

6. Verfahren nach einem der Patentansprüche 1 bis 5,
dadurch gekennzeichnet, dass die selektiv
abgeschiedenen Isolationsschichten (6, 7) an den Seiten-
wänden der Gatestapel (G) Spacerschichten (S6, S7) und an den
Abscheidehemmschichten (2A, 4) dünne Restschichten aufweisen,
wobei in einer weiteren Schicht die Restschichten durch Nass-
ätzen entfernt werden.

7. Verfahren nach einem der Patentansprüche 1 bis 6,
gekennzeichnet durch den weiteren Schritt
c1) und/oder Schritt e1) Verdichten der selektiv abgeschiedenen
Isolationsschichten (6, 7).

8. Verfahren nach einem der Patentansprüche 1 bis 7,
gekennzeichnet durch die weiteren Schritte
g) Entfernen der Abscheidehemmschichten (2A, 4) zum Freilegen
der Gateschicht (3) und des Halbleitersubstrats (1);
h) Abscheiden eines silizierfähigen Materials; und
i) Umwandlung einer Oberflächenschicht des freigelegten
Halbleitersubstrats (1) und der Gateschicht (3) unter Verwen-
dung des silizierfähigen Materials zum Ausbilden von hoch-
leitfähigen Anschlussbereichen (8) für die Source-/Drain-
gebiete (S/D) und die Gateschicht (3).

9. Verfahren nach einem der Patentansprüche 1 bis 8,
dadurch gekennzeichnet, dass die Gate-
schicht (3) polykristallines Silizium und das Halbleitersub-
strat (1) kristallines Silizium aufweist.

10. Verfahren nach einem der Patentansprüche 1 bis 9,
dadurch gekennzeichnet, dass es zur
Herstellung von Feldeffekttransistoren im Sub-100-Nanometer-
Bereich verwendet wird.

FIG 1A

Stand der Technik

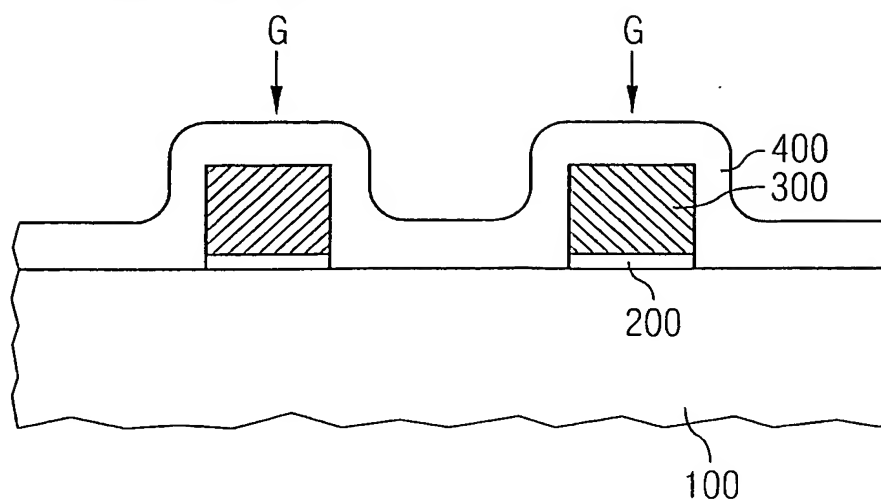


FIG 1B

Stand der Technik

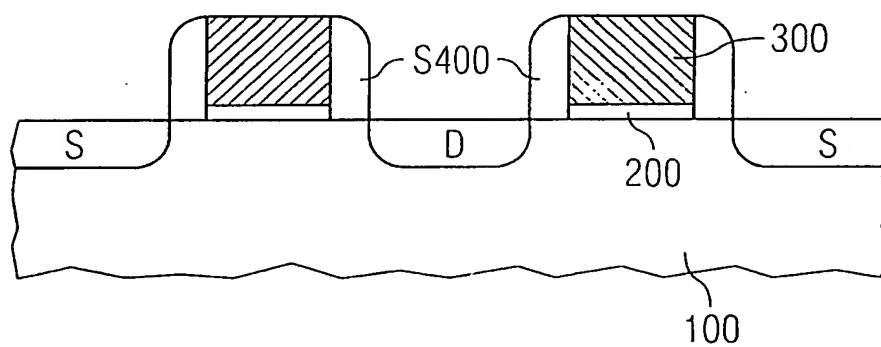


FIG 2A

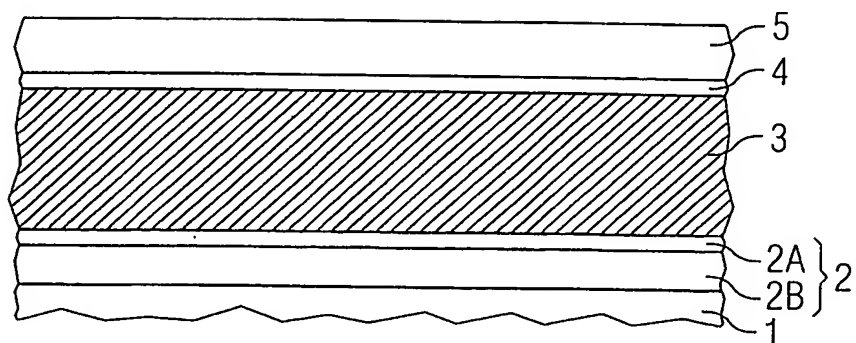


FIG 2B

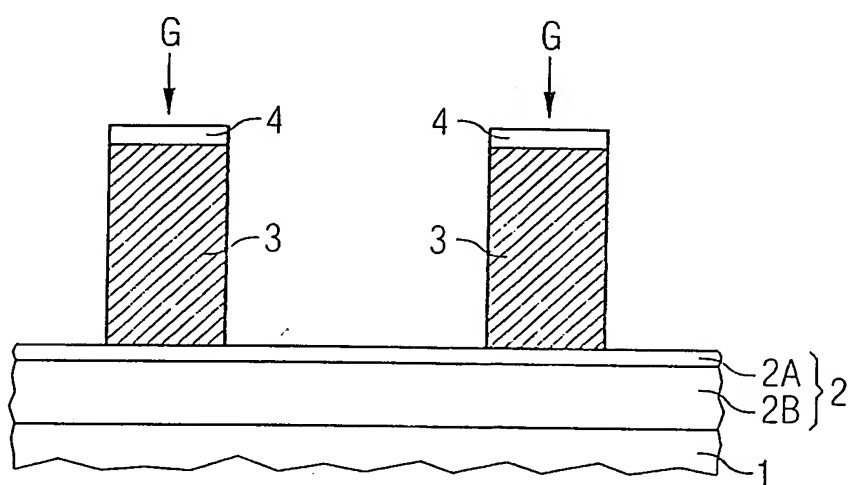


FIG 2C

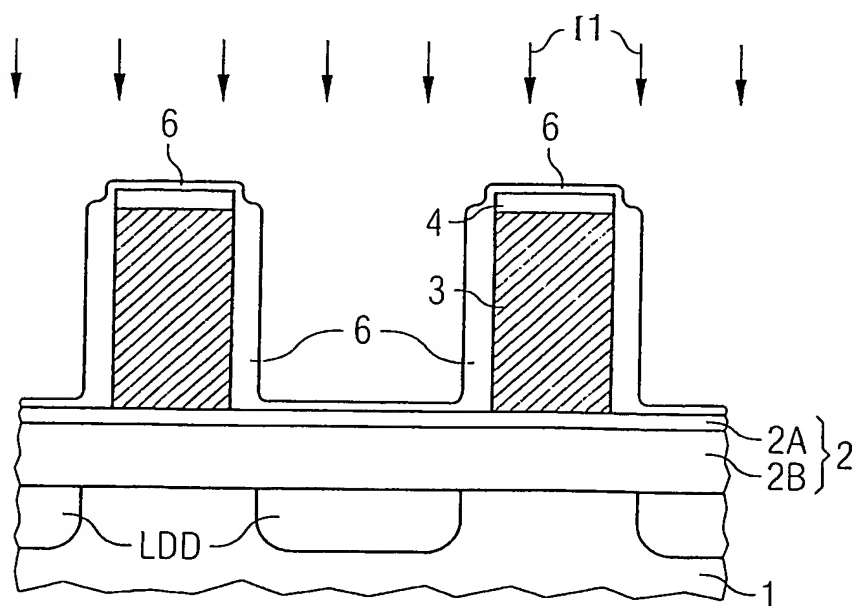


FIG 2D

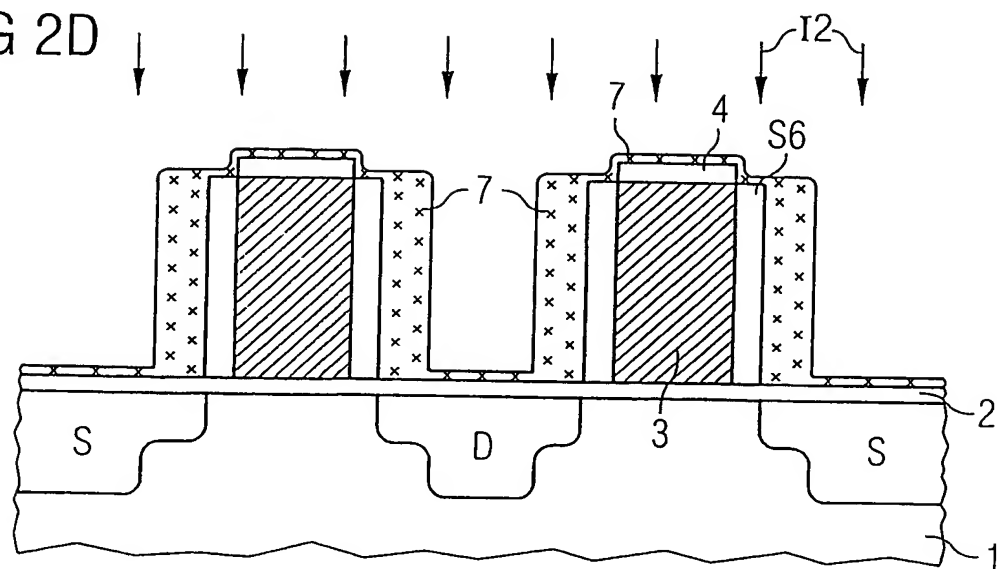


FIG 2E

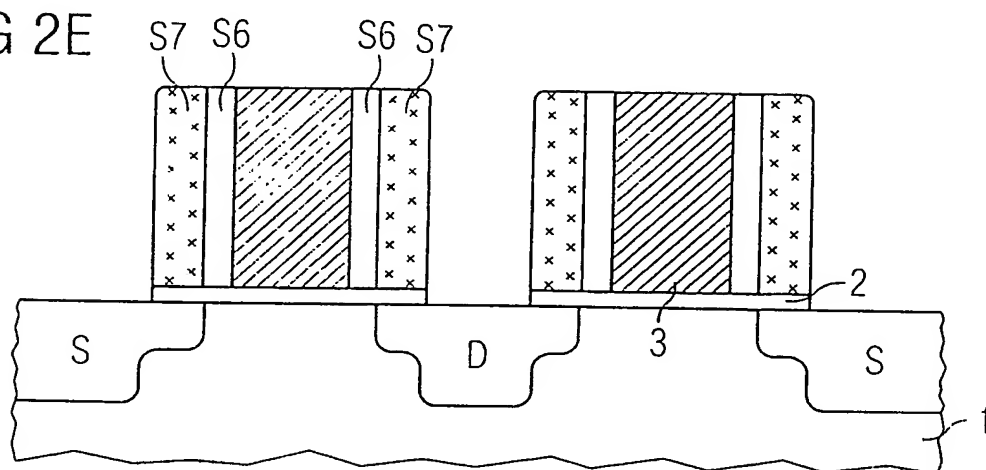
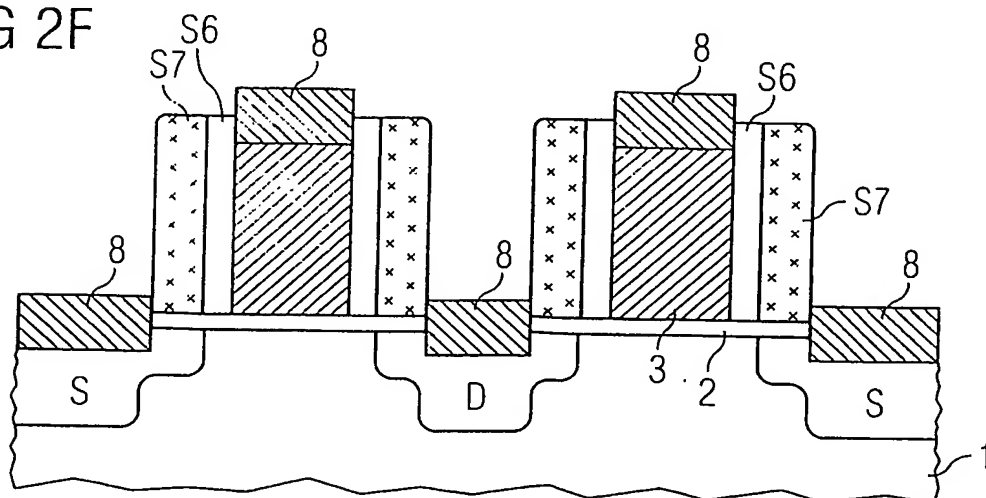


FIG 2F



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 03/01551

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L21/28 H01L29/51

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 319 839 B1 (CHIEN WEN-CHENG ET AL) 20 November 2001 (2001-11-20) column 3, line 8 - line 44; figures 4-9	1,3,9,10
X	US 6 251 719 B1 (WANG JEN PAN) 26 June 2001 (2001-06-26) figures 3-7	1,3,9,10
A	US 5 032 535 A (USAMI TOSHIRO ET AL) 16 July 1991 (1991-07-16) the whole document	1-10
A	US 6 297 116 B1 (CHE SHYNG-YEUAN) 2 October 2001 (2001-10-02) the whole document	1-10
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

22 September 2003

Date of mailing of the international search report

29/09/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3018

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 93/01551

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001/023120 A1 (INUMIYA SEIJI ET AL) 20 September 2001 (2001-09-20) the whole document ---	1-10
A	US 5 397 909 A (MOSLEHI MEHRDAD M) 14 March 1995 (1995-03-14) the whole document -----	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/01551

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6319839	B1	20-11-2001	NONE
US 6251719	B1	26-06-2001	NONE
US 5032535	A	16-07-1991	JP 1274475 A 02-11-1989 JP 1943187 C 23-06-1995 JP 6066466 B 24-08-1994 US 5238859 A 24-08-1993
US 6297116	B1	02-10-2001	TW 408375 B 11-10-2000
US 2001023120	A1	20-09-2001	JP 2001257344 A 21-09-2001 TW 505954 B 11-10-2002
US 5397909	A	14-03-1995	US 5168072 A 01-12-1992 DE 69132524 D1 08-03-2001 DE 69132524 T2 28-06-2001 EP 0480446 A2 15-04-1992 JP 6077246 A 18-03-1994

PCT/DE 93/01551

TPK 7 H01L21/28 H01L29/51

B. RECHERCHIERTE GEBIETE

IPK 7 H01L

EPO-Internal

Nesso, S

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/01551

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2001/023120 A1 (INUMIYA SEIJI ET AL) 20. September 2001 (2001-09-20) das ganze Dokument ---	1-10
A	US 5 397 909 A (MOSLEHI MEHRDAD M) 14. März 1995 (1995-03-14) das ganze Dokument -----	1-10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationaler Dokumentenzeichen

PCT/DE 03/01551

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6319839	B1	20-11-2001	KEINE
US 6251719	B1	26-06-2001	KEINE
US 5032535	A	16-07-1991	JP 1274475 A 02-11-1989 JP 1943187 C 23-06-1995 JP 6066466 B 24-08-1994 US 5238859 A 24-08-1993
US 6297116	B1	02-10-2001	TW 408375 B 11-10-2000
US 2001023120	A1	20-09-2001	JP 2001257344 A 21-09-2001 TW 505954 B 11-10-2002
US 5397909	A	14-03-1995	US 5168072 A 01-12-1992 DE 69132524 D1 08-03-2001 DE 69132524 T2 28-06-2001 EP 0480446 A2 15-04-1992 JP 6077246 A 18-03-1994